

高効率 HEECS インバータの損失低減に関する一考察

河村篤男* Hadi Setiadi、味口泰彦、那須祥生、小原秀嶺（横浜国立大学）

Discussion on Loss reduction of high efficiency HEECS inverter
Atsuo Kawamura, Yoshiki Nasu, Yasuhiko Miguch, Hadi Setiadi, Hidemine Obara
(Yokohama National University)

First, basic ratings of the inverter, such as voltage and switching frequency are set as the boundary conditions for optimization. Next, individual loss factors are listed and methods to reduce each factor are discussed. Finally, multiple degrees of freedom in parameter settings are selected and methods for loss minimization are discussed.

キーワード：インバータ，高効率，測定法，HEECS
(Keywords: Inverter, High efficiency, Measurement, HEECS)

1. はじめに

著者らは、図1に示した HEECS インバータによる変換効率 99.9%を目指した DC-AC 電力変換の実現を理学的な見地から検討してきた⁽¹⁾。WBG(wide-band-gap)デバイスを用いたインバータの高効率実測が複数報告⁽¹⁻⁸⁾されているので、その測定精度が明記されたものに関してはそれを含めて、出力と効率の最新報告例を図2に示した。これによると 99.5%以上の効率が最新の高効率インバータの動向と言える。

著者らのグループでは、測定精度の高い測定法 (VTASLM 測定法) を提案して、かつ、測定器の較正によって測定精度が 0.006%程度まで高められることを示した⁽⁷⁾。その測定手法に基づいて、本論文では、損失の最小化に関するいろいろな角度から検討したので、報告する。

2章では、まず、インバータの仕様を定めて、それを前提条件とし、次に損失最小化のためのパラメータを準仕様パラメータと自由パラメータに分けて、それぞれの項目がどのように損失低減に寄与するかに関して検討した。3章では、3種類の自由パラメータに関する検討と実験により、損失低減の検討を行った。その結果、効率 99.82%の効率が精度±0.006%で実測できた。4章の考察では、効率最大化の考え方を整理し、さらに損失を削減する可能性に関して議

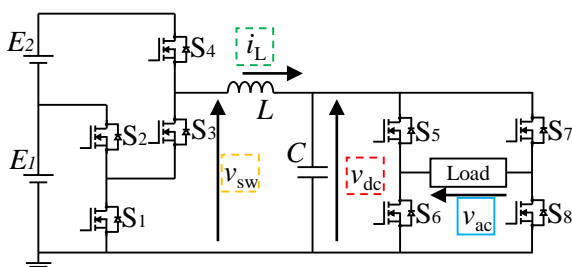


図1 2電源 HEECS インバータの回路トポロジー
Fig. 1. Two battery HEECS inverter.

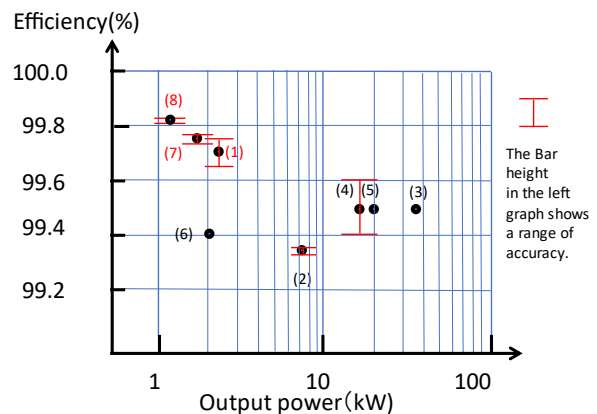


図2 高効率インバータの報告例(文献番号参照)
Fig.2. Survey of high efficiency literatures on inverter operation

論した。5章は結論である。

2. 損失低減のためのパラメータ最適化の手法

2.1 前提条件

損失最小化の作業の前に、デバイスの電圧余裕などの動作条件を基本仕様として決めることにする。その条件として、出力電圧、スイッチング周波数、およびひずみ率 (THD) を選んだ。これら以外のパラメータは前提条件、準仕様パラメータと自由パラメータと名付け、次節で検討する。

具体的には、出力電圧はパワーデバイスの定格電圧と関連するので、デバイスの電圧余裕は、出力のピーク電圧の 0.5 倍と決めた。この部分に関しては、いろいろな選択方法があるが、これを決めないとその後の展開が影響を受ける。その意味で、ベンチマークとして、この選択を提案する。具体的には、650V 定格のデバイスを用いると、インバータの出力ピーク電圧 V_{acpeak} は、次式となる。

$$v_{acpeak} = 650 \div 1.5 \approx 433 \quad \text{----(1)}$$

2 電源 E_1 と E_2 の電圧の合計値はこの値に固定した。さらに、スイッチング周波数は人への可聴域の限界と思われる 16kHz とした。最後に、出力電圧のひずみ率 (THD) は 1% 程度と決めた。系統連系の規定 IEC61727⁽⁹⁾ では、例えば、高調波電流(3~9 次)が 4.0% (10kW 以下) などと規定されているが、ここでは電圧で規定した。これらは、次節以降でのベンチマークのための提案と考えてほしい。出力定格は 5kW とした。

表 1 損失最小化被試験インバータの基本仕様

Table 1 Conditions for inverter under test

| | |
|-----------|-----------|
| デバイスの電圧余裕 | 出力電圧の 50% |
| スイッチング周波数 | 16 kHz |
| 出力電圧ひずみ率 | 1%程度 |

2.2 3 種類のパラメータの提案

表 1 以外の自由なパラメータを 3 種類に分類して、それらを、前提条件、準仕様パラメータ、自由パラメータと定義する。この違いは、前提条件を決めても、準仕様パラメータには自由度が残っており、さらに、準仕様パラメータを決めても自由パラメータには自由度が残っていることを原則として、定義した。

前提条件は、回路トポロジーであり、本論文では図 1 の HEECS インバータとなる。これ以外の回路トポロジーを選ぶ場合は、以下の議論の考え方は適用できるが、詳細の手順は異なってくる。

次に、準仕様パラメータは、チョップ部のスイッチングデバイスの材質 (SiC, GaN など) とその電圧電流定格、LC フィルタのインダクタの材質とそのインダクタンスおよびキャパシタの材質とその静電容量、折り返しインバータのデバイスの材質と電圧電流定格、出力電圧の制御方法、回路の PCB パターンとなる。

最後に、自由パラメータは、2 電源 E_1 および E_2 の電圧比率、回路トポロジーに応じたゲートドライバの工夫部分 (ゲート抵抗およびチョップ部の上下アームの無駄時間配分)、効率が最大となる出力 (負荷) となる。

2.3 準仕様パラメータの決定

本論文では、チョップ部のデバイスの材質は SiC を仮定した。(GaN の場合は 3.3 節に概要を述べたが、詳しくは文献(10)を参照してほしい。)

チョップ部の SiC スwitchングデバイスの定格としては、オン抵抗のなるべく小さいもの (電流定格がなるべく大きいもの) を選んだ。同様に、折り返しインバータは 1 周期の 2 回しかオン/オフしないのでオン抵抗のなるべく小さいもの (電流定格がなるべく大きいもの) を選んだ。これらを表 2 に示す。

表 2 準仕様パラメータ

Table 2 Quasi-free Parameters

| | |
|-------------------|---|
| チョップデバイス | Ron=17mΩ(typ) SCT3017AL(Rohm) |
| 折り返しインバータ デバイス | Ron=3.7mΩ CAS325M12HM2 (Wolfspeed) |
| インダクタ L | 1.25mH(18mΩ) (フェライト) (IPEC) |
| キャパシタ C | 8μF (3.5mΩ) (フィルム) (ARCOTRONICS) |
| 制御 | DB (Deadbeat) 力行及び回生運転 文献(11) |
| PCB | 175μ 銅厚 (数 mΩ) ⁽¹⁾ (P 板) |

次に、インダクタンスの材質としては、フェライトやアモルファスがある。同程度のインダクタンスで材質の違いによる損失に関する予備比較実験を行い、表 2 に示した、1.25mH のフェライトのインダクタを用いることとした。キャパシタの材質としては、フィルムとし、その大きさは損失に関する予備実験測定を行い、8μF を選定した。4μF では 8μF と比べると 0.001% 程度の効率に改善があったが、後述する DB (deadbeat) 制御が力行でも回生でも安定に動くのは、8μF の場合であったので、この値を採用した。この部分は改善の余地はある。出力電圧の制御方法は DB を採用した⁽¹¹⁾。高精度測定法⁽⁷⁾には、力行と回生の動作が必要であるので、これを採用した。また、回路の PCB(175μ 銅厚)の製作は、パターンは内製し、ハードは P 板で試作した。その回路の導通抵抗は、デバイスが導通するパターンにより総導通抵抗が変化するが、概ね数 mΩ 程度となる⁽¹⁾。

3. 自由パラメータによる最適化

残った自由度は、2 電源 E_1 および E_2 の電圧比率、回路トポロジーに応じたゲートドライバの工夫部分(ゲート抵抗およびチョップ部の上下アームの無駄時間配分)、効率最大時の(抵抗)負荷のパラメータとなった。

3.1 E_1E_2 比率

3.1.1 理論

パワーデバイスの出力容量 C_{oss} からスイッチング動作する毎の充放電する電流の大きさが求まり、その充放電電力は損失となると考えると、それは DS 間の電圧の関数となる。一方で、スイッチング損失はスイッチングする電圧と電流の関数となるので、やはり DS 間の電圧の関数となる。そこでこの 2 つに起因する損失は E_1 と E_2 の比率を変えることにより最小値を持つと予想される。

そこで定性的ではあるが、以下で検討する。まず、スイッ

チング損失の近似式として、 $E_1/6$ を仮定すると⁽¹²⁾、スイッチング損失の概数 E_{sw} および、 C_{oss} による充放電エネルギー損失 E_{coss} は次式で求めることができる。

$$E_{sw} \propto \frac{1}{6} E_1 \int_0^{\theta_0} I_{ac} d\theta + \frac{1}{6} E_2 \int_{\theta_0}^{\pi/2} I_{ac} d\theta \quad \text{----(2)}$$

$$E_{coss} \propto \frac{1}{2} C_{oss} \int_0^{\theta_0} E_1^2 d\theta + \frac{1}{2} C_{oss} \int_{\theta_0}^{\pi/2} E_2^2 d\theta \quad \text{----(3)}$$

ただし、 $\sin(\theta_0) = \frac{E_1}{(E_1 + E_2)}$

横軸に E_1 を変数に取り、式(2)および式(3)の大きさをプロットすると、いずれも下に凸の曲線となる。式(2)の極小値は $(E_1+E_2)/2$ のはるかに右側に位置し、式(3)の極小値は $(E_1+E_2)/2$ のわずかに右側に位置する。この傾向を定性的に示したのが図3である。従って、 E_1 を変数に取り、(2)式と(3)式を含めた損失を実測すると、 E_1 は $(E_1+E_2)/2$ の右側の領域で、最小値を示すことが期待される。これ以外の損失も実測値には含まれるが、出力の大きさを固定して、 E_1 のみを変化させるので、この傾向は測定できると予想した。

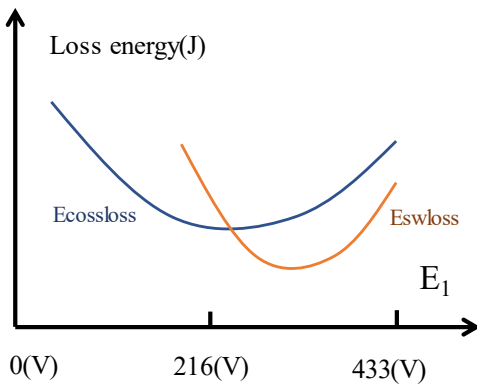


図3 $E_1 + E_2$ の合計値が一定で E_1 が変化する場合の C_{oss} とスイッチングによる損失の定性的なイラスト図
Fig.3 Quantitative illustration on Loss of C_{oss} and switching regarding E_1

3.1.2 実験

直接法に基づく測定法⁽¹⁾により、 E_1 を変化させた場合の損失をプロットしたものが図4である。この実験では電源 E_1 と E_2 の合計値は(1)式で規定した 433V に固定したが、実際のインバータの出力電圧 V_{peak} は、5V 低い 428V に固定して実測を行った。図3より、 E_1 が 250V の時に、損失が最小化することが観測される。前節の理論考察と実験結果により、自由パラメータ E_1 は 250V の時に損失が最小化されると考えられる。 E_2 は $433-250=183V$ となる。

3.2 ゲートドライバの調整

ゲート回路の調整による損失低下の対策としては、(1)ゲートドライバの工夫、(2)上下アーム間の無駄時間の調

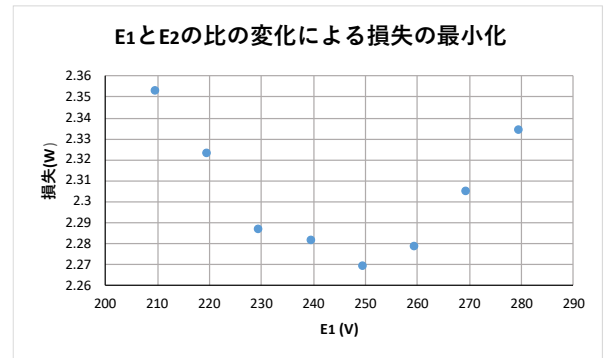


図4 損失と E_1 の実験での関係測定 ($P_{out}=1300W$ 、 $E_1 + E_2=433V$ で一定、直接測定法⁽¹⁾に基づく実測データ)
Fig. 4 Relation between loss and E_1 (experiment)

整が考えられる。

ゲートドライバは、BM6105FW-LBZ(Rohm)を使用した。アクティブゲートドライブの使用を検討したが⁽¹³⁾、最小のスイッチングロスを追及する方法としては、具体的な PCB 回路に対して適切なドライブ回路(本論文では、ゲート抵抗)を試行錯誤により調整した。また、スイッチング特性を揃えるために、カーブトレーサでデバイスの特性を測定し、なるべく均一の特性のデバイスを使用した。

メーカ推奨の $R_g=5\Omega$ を選び、VTASLM 測定法⁽⁷⁾により実測した効率を図5に示す。その後、ゲート抵抗を工夫して⁽¹³⁾、 $R_{g2}=R_{g4}=2.8\Omega$ 、さらに外付け $C_{2ext}=C_{4ext}=4700pF$ 、 $R_{g1}=R_{g3}=5\Omega$ の設定で測定した、損失、効率、および測定精度を図6、図7および図8に示す。

これらの図から、 $R_g=5\Omega$ の時は効率 99.816%(1200W 出力)、およびゲート抵抗を工夫すると効率 99.818±0.006%(1200W 出力)が観測される。ゲート駆動回路の消費電力をその電源の DC-DC コンバータの出力端子で測定すると、 $R_g=5\Omega$ の時が 1.56W、ゲート回路を工夫すると 1.64W と測定された。その差は、0.05W と小さいが、効率の差も 0.002%

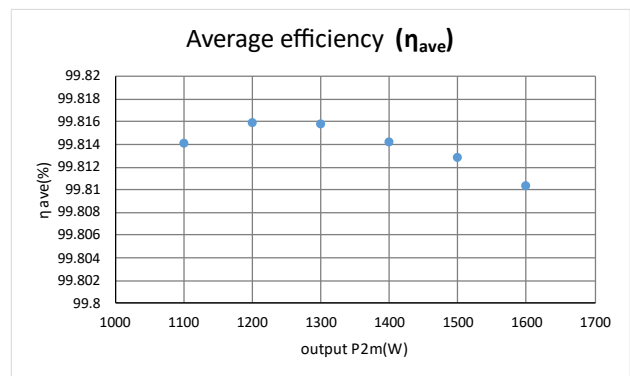


図5 SiC-HEECS インバータの効率測定($R_g=5\Omega$)
(実測- VTASLM 測定法⁽⁷⁾)

Fig.5 Measured efficiency based on VTASLM
($R_g=5\Omega$)

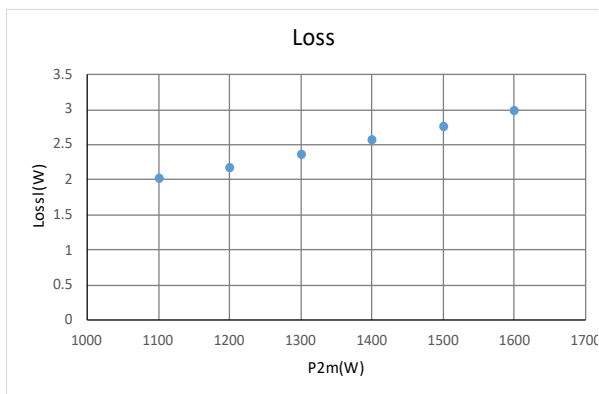


図 6 ゲート回路を工夫した場合の SiC-HEECS インバータの損失(実測-VTASLM 測定法⁽⁷⁾)

Fig.6 measured loss when the gate driver circuit is modified

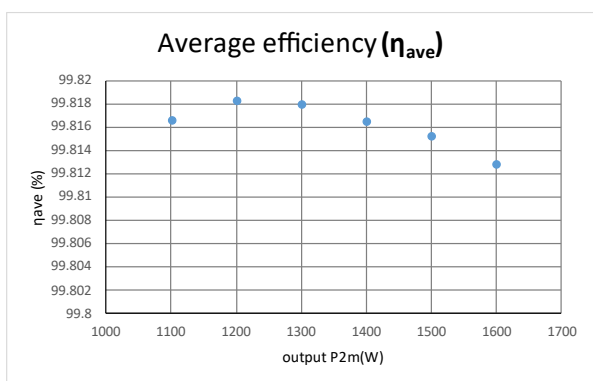


図 7 ゲート回路を工夫した場合の SiC-HEECS インバータの効率(実測-VTASLM 測定法⁽⁷⁾)

Fig.7 Measured efficiency when the gate driver circuit is modified

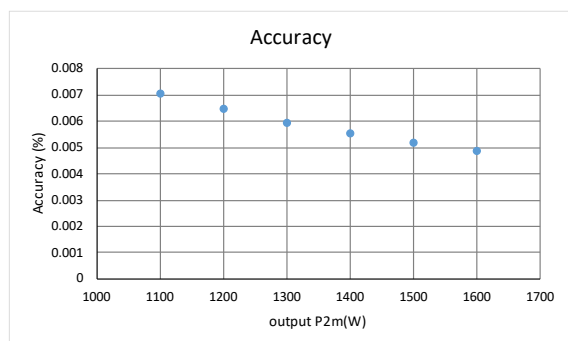


図 8 ゲート回路を工夫した場合の SiC-HEECS インバータの測定精度(VTASLM 測定法⁽⁷⁾)

Fig.8 accuracy of measurement when the gate driver circuit is modified

と小さく、ゲート駆動回路での損失を含めると、ゲートドライバの消費電力が増大し、総合的には効率が悪化しているとも言える。なお、折り返しインバータのドライバの電力は、DC-DC コンバータの出力端子で測定すると出力によらずほぼ一定で、約 3.16W であった

3.3 デバイスが GaN の場合

文献(10)で報告するように、チョップ部に GaN の大電力用デバイスを用いて損失測定を行った。詳細は別の機会に譲ることにするので、ここでは概要を述べる。デバイスは、650V、150A 定格、 $R_{on}=10m\Omega$ (GaN System 社) であるが、ベアチップでしか入手できなかったため、PCB にリフロー法により直接配置する手法を採用した⁽¹⁰⁾。これ以外の準仕様パラメータは、SiC の場合と同一にした。まず、ゲート抵抗を試行錯誤により調整した。次に、 E_1E_2 の最適電圧比配分は実測により求め、 $E_1=260V$ となった。さらに、動作モードにより、デバイスのボディダイオードに電流が流れる間は、WBG のため電圧ドロップが大きいので、上下アームの無駄時間を調整した。その結果、同期整流動作による損失が少なくなり、同時に C_{oss} の未回生による損失も低減できるが、その制御方法には改善の余地が残っている⁽¹⁰⁾。

この状態で、VTASLM 測定法により、効率および測定精度を測定したものを図 9 と図 10 に示す。この図より、最大効率は $99.81\% \pm 0.003\%$ (出力 1700W) が読み取れる。SiC も GaN もほぼ同等の最大効率が得られたが、GaN の方が回路の導通抵抗が小さいと考えられるので、出力電力が大きい

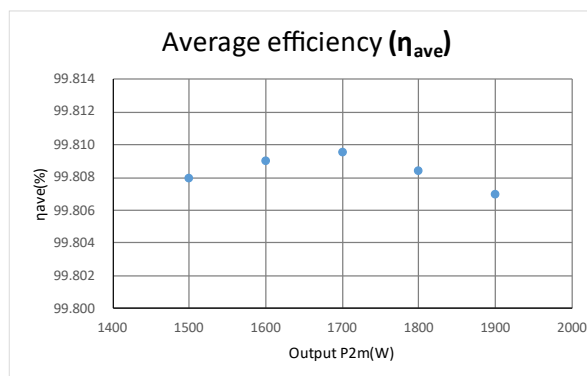


図 9 GaN-HEECS インバータの効率 (実測-VTASLM 測定法⁽⁷⁾)

Fig.9 Measured efficiency of GaN HEECS Inverter

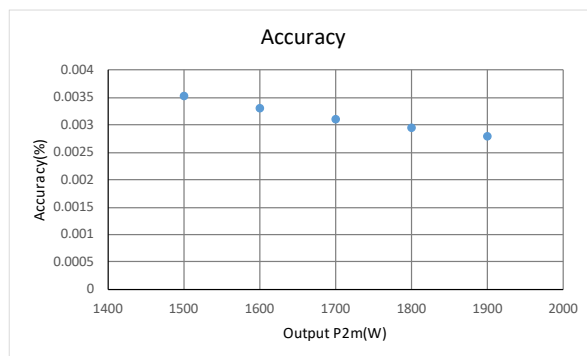


図 10 GaN-HEECS インバータの効率測定精度 (VTASLM 測定法⁽⁷⁾)

Fig.10 accuracy of GaN-HEECS Inverter efficiency

時に最大効率を示す。また、ゲートドライバの消費電力をその電源の DC-DC コンバータの出力端子で測定すると、インバータの負荷によらず、約 1.00W であった。

4. 考察

前半では、効率が最大となる点の理論的導出に関して考察し、後半では、さらなる損失低減の可能性を考察する。

4.1 損失最小化の理論的検討

4.1.1 理論的検討

損失が出力 $P_2(=x)$ と定義)の 2 次多項式で近似できると仮定して次式を定義する。

$$y = a + bx + cx^2 \quad \text{-----(4)}$$

ただし、 y は損失 (W) で、 x は出力電力 ($x = P_2$) (W) と定義する。

効率 η は損失を出力で割り、1 からそれを差し引けば求まるので、次式で求まる。

$$\eta = 1 - y/x \\ = 1 - (b + a/x + cx) \quad \text{-----(5)}$$

この式は、右辺の第 3 項と 4 項が等しい時に最小値を持つので、

$$x = \sqrt{a/c} \quad \text{-----(6)}$$

の時に、効率の最大値 η_{\max} は次式となる。

$$\eta_{\max} = 1 - (b + 2\sqrt{ac}) \quad \text{-----(7)}$$

4.1.2 SiC デバイス

前節の結果を図 6 の SiC-HEECS インバータに適用すると以下ようになる。まず、損失の多項式は $1.02896 + 1.6360 \times 10^{-4} \times x + 6.6606 \times 10^{-7} \times x^2$ となり、次に、(6)より、出力 1243W の時に、最後に、(7)より、最大効率 99.818% が求まる。実測での効率は、99.818%なのでよく一致している。これ以外の測定データを使っても小数点 2 桁程度まで一致する。これより、(4)の妥当性が示された。

本実測では、出力電圧は一定であるので、出力電力 $P_2(=x)$ は、出力電流に比例する。係数 a は、負荷に抛らず一定の値を示すので、3.1 節で検討した C_{oss} 等の損失に対応する。係数 b は、やはり 3.1 節で検討したスイッチングロスのように、電流だけに比例する損失の係数となる。また、係数 c は、システム全体の導通ロスに比例する項となる。効率の最大値は、(7)の右辺第 2 項と 3 項が小さくなるほど大きくなる。前節の例では、第 2 項は、0.0016%程度であり、第 3 項

表 3 SiC デバイスの Ron と Coss の積

Table 3 Product of SiC Ron and Coss

| 電圧と電流 定格 | 650V- 118A | 650V- 64A | 650V- 81A |
|--------------------|---------------|--------------|--------------|
| Ron (mΩ) | 17 | 22 | 15 |
| Coss(pF) | 148 | 262 | 289 |
| 積(10^{-12})(s) | 2.5 | 5.8 | 4.3 |
| メーカー | A 社 | B 社 | C 社 |

が 0.0164%程度となる。つまり、効率を最大化する要因は、第 3 項の方が第 2 項よりも 1 桁程度大きい。この 3 項は、 a と c の積であるので、ある意味で、 C_{oss} と全導通抵抗 r_{onall} との積に比例していると考えられる。例えば、 C_{oss} が 2 倍になれば、全導通抵抗 r_{onall} が 1/2 にならなければ、最大効率は低下する可能性が高いことを示している。この値が小さいほど最大効率の絶対値は大きくなる。なお、この値はデバイス単体の高周波性能指標 (BHFFOM⁽¹⁴⁾、NHFFOM⁽¹⁵⁾) と似ている⁽¹⁶⁾。そこで各社の入手可能なデバイスに関して調査したのが表 3 である。本実験では A 社のデバイスを使っている。文献(14-16)での指標はデバイス単体での高周波特性を評価するものである。本論文で議論しているのは、システムの最大効率の値の最大化なので、少し状況が異なっていると考えられる。

4.1.3 GaN デバイス

前節と同様に GaN-HEECS インバータの損失式を 2 次多項式で近似すると、 $2.31476 - 8.77744 \times 10^{-4} \times x + 8.36886 \times 10^{-7} \times x^2$ となる。(6)(7)より、出力 1663W の時に最大効率 99.809% を計算できる。実測効率が 99.810%なので、非常によく一致している。ただし、係数 b の符号が負なので SiC の時のような議論は単純には適用できない。本実験では、上下アームの無駄時間を制御しているので、スイッチング損失が出力に対して非線形になっている可能性がある。

4.2 損失低減の別のアプローチ

残された自由パラメータとしては、(1) 上下アームの可変デッドタイム制御の改良版の実装、(2) DB (デッドビート) 制御に置ける電流センサの除去、(3) 別の L の検討、(4) C と DB の協調、(5) ゲートドライバの消費電力の低減などが考えられる。

(1) は同期整流時の逆導通内蔵ダイオードの高いオン電圧の抑制効果がある⁽¹⁰⁾と考えられ、また、(2) は電流センサのためにわずかの電流導通の電力損失⁽¹¹⁾が削減できると考えられる。(3) (4) (5) は検討中である。

5. まとめ

2 電源 HEECS インバータの損失低減のためにできる対策を整理した。特に、インバータの仕様を (1) 基本仕様、(2) 前提条件、(3) 準仕様パラメータ、(4) 自由

パラメータとに整理した。さらに、自由パラメータを調整することにより、現時点では⁽¹⁷⁾、以下のデータを実測した。

SiC デバイス：効率 99.818±0.006% (1200W 出力)

GaN デバイス：効率 99.810±0.003% (1700W 出力)

考察では、損失の理論的最小値を実験式から求める式を導出し、実測の最大効率が起きる出力やその最大値が、実測データと非常によく一致することを確認した。さらに、デバイスの C_{oss} とシステム的全導通抵抗の積が最大効率値の最大化には重要な指標であることを示した。ただ、この指標に関する議論にはもっと検討が必要と思われる。

謝辞：

本研究は科研費 17H06147 により助成されている。

文 献

- (1) A. Kawamura, S. Nakazaki, S. Ito, S. Nagai, H. Obara, "Over 99.7% Efficiency Two Battery HEECS Inverter at 2.2kW Output and Measurement Accuracy based on Loss Breakdown", IEEJ Journal of Industry Applications, Vol.9, No.6, pp.663-673, 2020
- (2) J. A. Anderson, E.J. Hanak, L. Schrittwieser, M. Guacci, W.J.G. Kolar, G. Deboy, "All-Silicon 99.35% Efficiency Three Phase Seven 3-Level Hybrid Neutral Point Clamped Flying Capacitor Inverter", CPSS Trans. On Power Electronics and Applications, Vol.4, No.1, pp. 50-61, 2019
- (3) Y. Shi, H. Li, L. Wang, Y. Zhang, "Intercell Transformer(ICT) Design Optimization and Interphase Crosstalk Mitigation of a 100-kW SiC Filter-Less Grid-Connected PV String Inverter", IEEE OJ of Power Electronics, Vol.1, pp.51-63, 2020
- (4) J. Zhu, H. Kim, H. Chen, R. Erickson, D. Maksimovic, "High efficiency SiC Traction Inverter for Electric Vehicle Applications", pp. 1428-1433, APEC2018
- (5) J. Rabkowski, D. Pefitsis, H. Nee, "Design Steps Towards 140-kVA SiC Inverter With an Efficiency Exceeding 99.5%", APEC2012
- (6) T. Miyazaki, H. Otake, Y. Nakahara, M. Tsuruya, and K. Nakahara: "A fanless operating trans-linked interleaved 5 kW inverter using SiC MOSFETs to achieve 99% power conversion efficiency", IEEE Trans. Ind. Electron., Vol.65, Issue12, pp.9429-9437, 2018.
- (7) A. Kawamura, Y. Nasu, Y. Miguchi, H. Setiadi, H. Obara, "Proposal of Virtual Transformer based Back-to-Back Asynchronous Loss Measurement using a Single Set of Measurement Instrument and Experimental Verification", IEEJ Journal of Industry Applications, Vol.11, No.1, pp. 175-184, 2022 (DOI:10.1541/ieejia.21008251)
- (8) 河村、Setiadi、那須、味口、小原、"HEECS インバータの直流電源比率に関する最適化の検討"、電気学会全国大会、2022年3月
- (9) S. B. Kjaer, J.K. Pedersen, F. Blaabjerg, "A Review of Single-Phase Grid-Connected Inverters for Photovoltaic Module", IEEE Trans. IA. Vol.41, No.5, pp. 1292-1306, 2005
- (10) H. Setiadi et al, "Implementation of GaN-based HEECS Inverter", IEEJ Annual meeting, March 2022
- (11) 味口、那須、小原、河村、"超高効率単相系統連系インバータ (HEECS) の電流制御"、電気学会研究会 SPC-20-128, 2020年
- (12) 河村他、"パワーエレクトロニクス学"、コロナ社、2009年
- (13) 伊藤、Setiadi、小原、下野、河村、"スルーレイト制御アクティブゲート駆動を用いた広電流範囲における SiC-MOSFET ターンオン損失低減の検討"、電気学会研究会 SPC-21-085, 2021年
- (14) B. J. Baliga, "Power Semiconductor Device Figure of Merit for High-Frequency Application", IEEE ED, Vol.10, No.10, pp.455-457, 1989
- (15) K. Il-Jung, S. Matsumoto, T. Sakai, T. Yachi, "New power device figure of merit for high frequency applications," in *Proc. 7th Int. Symp. Power Semicond. Devices ICs*, May 23–25, 1995, pp. 309–314
- (16) H. Wang, F. Wang, J. Zhang, "Power Semiconductor Device Figure of Merit for High-Power-Density Converter Design Application", IEEE PELS, Vol.55, No.1, pp. 466-470, 2008
- (17) 科研費最終年度成果国際発表会、主催：寄附講座河村研究室、2022年3月2日