

高効率 HEECS インバータの損失低減に関する新しい展開

河村篤男* Van-Long Pham、味口泰彦、小原秀嶺（横浜国立大学）

New Direction on Loss reduction of high efficiency HEECS inverter

Atsuo Kawamura, Van-Long Pham, Yasuhiko Miguch, Hidemine Obara
(Yokohama National University)

In order to reduce the losses of the HEECS inverter, we consider two methods, focusing on the inductors and the capacitors losses. First, the inductance is changed and the inverter losses are measured using the VTASLM method. Second, the capacitors are replaced and the losses are measured.

キーワード：インバータ，高効率，測定法，HEECS
(Keywords: Inverter, High efficiency, Measurement, HEECS)

1. はじめに

著者らは、図 1 に示した HEECS インバータによる電力変換効率 99.9% を目指した DC-AC 電力変換の実現を理学的な見地から検討してきた⁽¹⁾。WBG(wide-band-gap)デバイスを用いたインバータの高効率実測が複数報告⁽¹⁻⁸⁾されているので、その測定精度が明記されたものに関してはそれを含めて、出力と効率の最新報告例を図 2 に示した。これによると 99.5% 以上の効率が最新の高効率インバータの動向と言える。

著者らのグループでは、測定精度の高い測定法（VTASLM 測定法）を提案して、測定器の較正および測定データの統計的な処理により損失の測定精度が 0.006% 程度まで高められることを示した⁽⁷⁾。その測定手法に基づいて、文献（9,10）では、損失を体系的に最小化する手法が提案された。しかし、損失最小化のすべての手法が検討されてはいなかった。そこで、本論文では未検討の方向からの損失低減のアプローチをしたので、報告する。

2 章では、これまでの損失低減の経緯を概説する。3.1 章では、インダクタンスの最適化に関して検討を行い、3.2 章では、キャパシタンスの最適化に関しての検討を報告する。3.3 章の考察では、さらなる損失低減の方向に関して考察を行う。4 章は結論である。

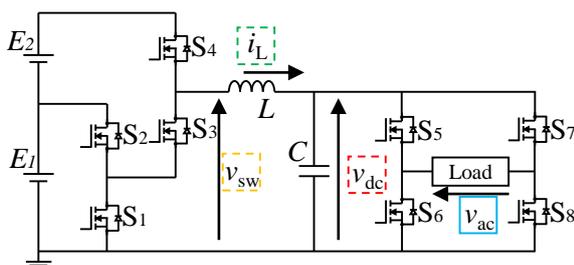


図 1 2 電源 HEECS インバータの回路トポロジー
Fig. 1. Two battery HEECS inverter.

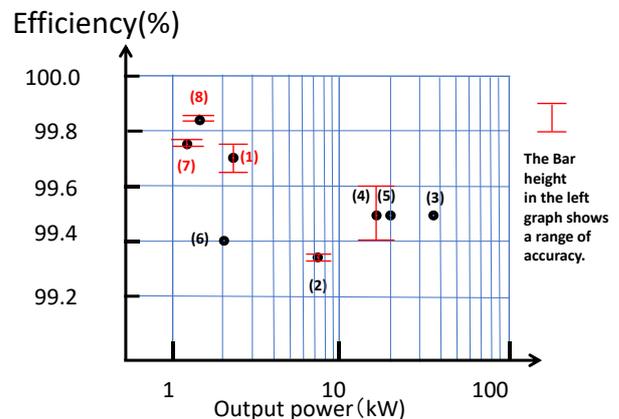


図 2 高効率インバータの報告例(文献番号参照)
Fig.2. Survey of high efficiency literatures on inverter operation

2. 損失最小化の手法^(9,10)の復習とこれまでの経緯

2.1 損失最小化法の復習

文献(9,10)で提案した損失最小化手法では、優先順位を考慮して、自由度を以下に示す項目 1 から 4 に分類した。重要度は、1 が高く、2, 3, 4 と優先度は下がると考えた。従って、項目 4 から項目 3 にかけて、順番にパラメータの最適化を行い、電力変換効率の最大化を実現してきた。

【項目 1】：前提条件として、表 1 に示す基本仕様を設定する。（デバイスの電圧余裕、スイッチング周波数、出力電圧の歪率）

【項目 2】：前提条件としての回路トポロジーを選び、今回は、図 1 の HEECS インバータとした。他の回路候補は、文献（9）に詳しい。

【項目 3】：準仕様としてのスイッチングデバイス（チョップ部と折り返しインバータ）とチョップ部のフィルタの回

表1 損失最小化被試験インバータの基本仕様

Table 1 Conditions for inverter under test

デバイスの電圧余裕	出力電圧の50%
スイッチング周波数	16 kHz
出力電圧ひずみ率	1%程度

表2 準仕様パラメータ

Table 2 Quasi-free Parameters

チョップデバイス	Ron=17mΩ(typ) SCT3017AL(Rohm)
折り返しインバータ デバイス	Ron=3.7mΩ CAS325M12HM2 (Wolfspeed)
インダクタ L	1.25mH(18mΩ) (フェライト) (IPEC)
キャパシタ C	8μF (3.5mΩ) (フィルム) (ARCOTRONICS)
制御	DB (Deadbeat) 力行及び回生運転 文献(11)
PCB	175μ 銅厚 (数 mΩ) ⁽¹⁾ (P 板)

表3 【項目4】の自由パラメータの最適化

Table 3 Free parameters on item 4

E ₁ とE ₂ の比率
ドライバ回路定数
可変デッドタイム制御
有効及び無効電力の選定
チョップ部の電流センサレス制御

路パラメータを考えた。さらに、PCBの導体厚みの条件と制御方式(力行と回生運転)もこれに含めた。これらを表2に示す。スイッチングデバイスは、選定時に市場で得られる最上の条件に合うものとした。

【項目4】:仕様としての自由パラメータは、上記3.以外のパラメータであり、具体的には、以下の5点となる。:(a) E₁とE₂の比率、(b)ゲートドライバ回路の定数、(c)可変デッドタイム制御とその定数、(d)インバータと系統と連系(力行および回生)する電流の有効および無効電力の比率、(e)チョップ部の電流センサレス制御。これらを表3にまとめた。

2.2 これまでの経緯

文献(9)では、【項目4】のすべての項目に関して、損失の精密測定法(VTASLM)の提案である文献(7)の測定法に従って最適化した。さらに、文献(8)では、文献(9)よりも踏み込んで、項目3の最適化は一部のみ検討が行われた。その結果

は、図2に反映している。

次章では、チョップ部の回路パラメータであるインダクタンスとキャパシタンスに関して項目3レベルでの検討を行う。

3. 自由パラメータであるインダクタンスとキャパシタンスの最適化

3.1 インダクタの損失の最少化

インダクタの損失は銅損、基本波鉄損、高調波電流損の3つの損失要素から構成されると考えられる^(1,12)。文献(1)では、その3者の大きさは、ほぼ等しいことが実測されている。これらのうち、銅損を減らすには、巻き線抵抗を低減することが重要である。銅線を太くすると、インダクタの体格が大きくなり、基本波鉄損が増加すると考えられる。さらに、高調波電流損を減らすには、高調波電流を減らすことが重要であるが、そのために、インダクタンスを増やす対策が考えられる。これら3つの要素は、お互いに関連していて、最大効率を求める場合は、通常の電力密度を最大化するようなインダクタの設計とは異なるアプローチが必要となる。

そこで、文献(8)では、文献(9)のインダクタ(表2のインダクタであり、これを#1インダクタ(#1L)と呼ぶ。)を改良して、巻き線抵抗の小さいもの製作し(これを#2インダクタ(#2L)と呼ぶ)、損失を実測した。しかし、体格が大きくなって、基本波鉄損の損失が増大したと考えられ、損失の低減幅はわずかであった。そこで、本論文では、体格も考慮した新しいインダクタ(#3インダクタ(#3L)と呼ぶ)を試作した⁽¹³⁾。これらの基本特性をまとめたものを表4に示す。特に、磁路の体積比が重要な指標であり、#3インダクタでは、巻き線抵抗は#2に比べ大きくなったが、磁路体積を#2よりも小さく設計した。

表4 3種類の試作インダクタンス

Table 4 3 kinds of inductors

番号	L(mH)	R(mΩ)	材質	磁路体積比
#1	1.27	15.06	フェライト	1.00
#2	2.06	5.24	フェライト	3.91
#3	1.25	11.66	フェライト	1.51

これら3種類のインダクタの特性を実測した結果を表5にまとめて示してある。

まず、50Hzの正弦波電流をインダクタに流して、電流をパラメータに取り、直接法により、全損失を求めた。ただ、この測定精度は非常に悪い⁽⁴⁾。さらに、基本波鉄損を、この基本波導通の全損失から導通損(LCRメータで測定した抵

抗から計算したジュール損)を差し引いて求めた。なお、電流値は、HEECS インバータ運転において、1200W から 1700W の出力に対応する電流値を選んだが、このうち 3 通りのデータを表 5 に載せた。

表 5 3 種類のインダクタの特性実測表

Table 5 characteristics of 3 kinds of inductors

	電流(A)	4.3	4.64	4.97
	等価出力(W)	1300	1400	1500
#1L	基本波鉄損(W)	-0.011	-0.019	-0.017
	基本波銅損(W)	0.3143	0.3660	0.4199
	高調波損(W)	0.0717	0.0583	0.0417
	測定合計(W)	0.375	0.405	0.445
	実測効率(%)	99.827	99.826	99.825
#2L	基本波鉄損(W)	0.1652	0.2113	0.2333
	基本波銅損(W)	0.1048	0.1221	0.1401
	高調波損(W)	0.1550	0.1317	0.1217
	測定合計(W)	0.425	0.465	0.495
	実測効率(%)	99.827	99.827	99.828
#3L	基本波鉄損(W)	0.0055	0.0162	0.0144
	基本波銅損(W)	0.1545	0.18377	0.21599
	高調波損(W)	0.0492	0.02	0.00023
	測定合計(W)	0.2092	0.2200	0.2306
	実測効率(%)	99.836	99.836	99.835

次に、インダクタを HEECS インバータに組み込んで、力行と回生の運転時のインダクタの平均全損失を直接法で測定した。その実測値から、50Hz で測定した導通損と基本波鉄損を差し引いたものを高調波損として仮定して、この表に記入した。この高調波損には、高調波電流による渦電流損と、高調波電流による鉄損(ヒステリシス損)が含まれる。また、その時の VTASLM 測定法に基づく全電力変換効率も記入した。この測定精度は非常に高い(7)。

この表から観測されることは、以下となる。

(1) # 2 インダクタ(#2L)は、銅損は小さいが、基本波鉄損および高周波損が、他の 2 種類のインダクタと比較して大きい。

(2) # 3 のインダクタ(#3L)は、銅損は # 1 と # 2 のインダクタの間に位置するが、鉄損と高周波損は、ほぼ # 1 のインダクタと同程度である。

3 のインダクタは # 1 のインダクタに比べて磁路の体積が 1.5 倍程度であるのに対して、# 2 の場合は、約 3 倍となっている。しかし、表 5 の損失の大きさの関係はこのような定性的な予想値とは一致しない。インダクタの総損失の測定法は、両端の電圧と電流の積から損失を求める直接法であり、その精度が低いと思われる(1)。

そこで、# 3 のインダクタに関して、鉄損と高周波損に関して追加の測定を行ったので、その測定データを図 3 と図 4 に示す。図 3 は 50Hz の電流をパワーアンプから流して測定したもので、高調波電流は含まれていない。また、材質が

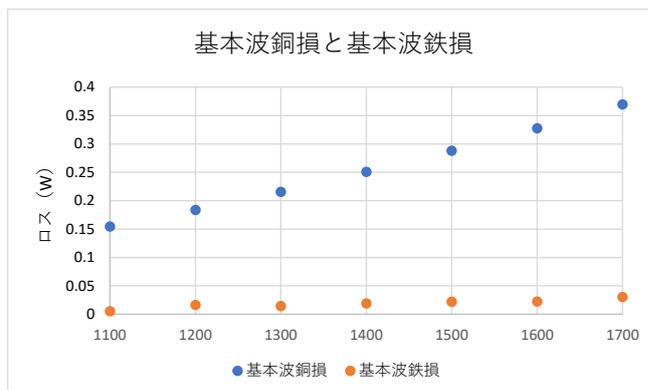


図 3 #3L の基本波銅損と基本波鉄損

Fig. 3. Joule and iron loss of #3L at the fundamental frequency

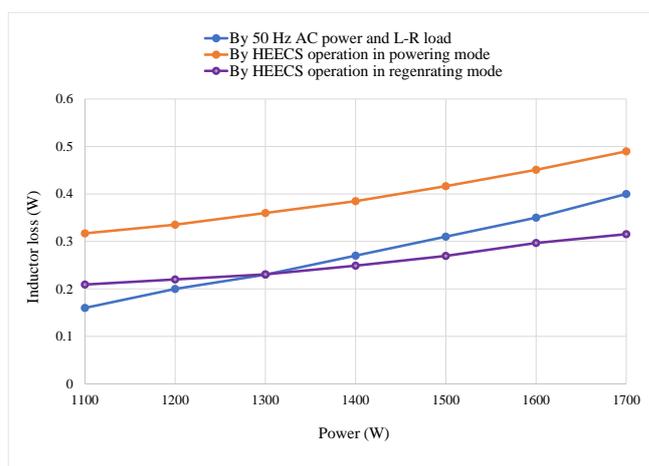


図 4 #3L の損失の比較

(基本波のみ、力行および回生運転)

Fig. 4. Loss of #3L at the fundamental frequency, powering and regeneration operation

フェライトであり、電流の動作点は、定格電流(設計点)の 20%程度であるので、鉄損は非常に小さい。図 4 は、HEECS インバータに組み込んだ時のデータであるので、高調波電流を含んでおり、また、回生運転時には、電流の向きは逆になっている。この図から観察されることは、力行時には 50Hz 駆動時とほぼ同様な特性を示しているが、回生時には、回生電力が小さい領域では、高調波損が大きくなっている点である。その原因としては、この電力領域では高調波電流が大きくなっている可能性、および電流センサの正方向と負方向の測定値にずれがある可能性などの理由が考えられる。

最後に、損失の精密測定法である VTASLM 法(7)に基づいて、# 3 のインダクタンスを用いた HEECS インバータの効率を測定した。その効率と測定精度を図 5 と図 6 に示す。出力が 1300W の時に、変換効率 $99.836 \pm 0.004\%$ が実測された。この実測値は、# 2 のインダクタの時の効率よりもわ

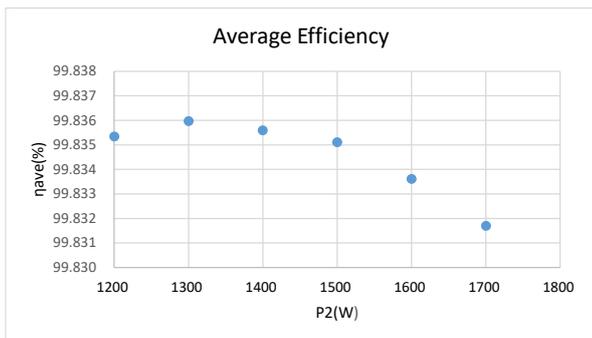


図5 SiC-HEECS インバータの効率 (#3L)

Fig.5 Measured efficiency of SiC HEECS Inverter with #3L

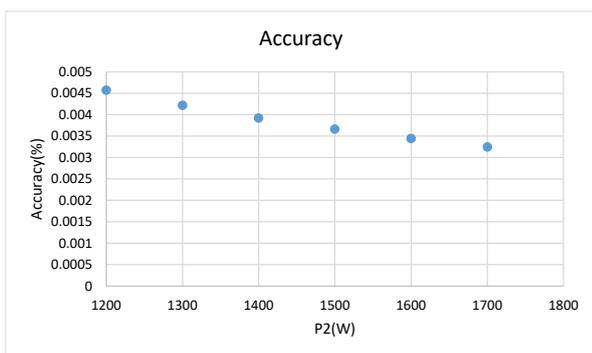


図6 SiC-HEECS インバータの効率測定精度(#3L)

Fig.6 Accuracy of SiC-HEECS Inverter efficiency measurement with #3L

ずかに向上している。測定精度を勘案しても、#2のインダクタよりも#3のインダクタを用いる方が高い効率が得られたと考えられる。

3.2 Cの最適化

次に、チョップ部のフィルタのキャパシタの大きさに関して検討を行った。

HEECS チョップ部のキャパシタの材質は、フィルムなので、キャパシタでの損失は非常に小さいと考えられる。むしろ、インダクタの波形は、図7のような波形となるので(文献1)、折り返しインバータでの電圧と比較すると、進み電流を折り返したような形(半波整流の電流波形)と考えられる。従って、キャパシタの静電容量が大きいと、半波整流の電流の実効値が大きくなる。その結果、インダクタやスイッチングデバイスでの導通損が増加する傾向となると考えられる。

これを式で表現すると以下となる。50Hzでのフェイザを考え、力率1の負荷電流の振幅を I_{load} 、キャパシタの電流を I_c と定義すると、負荷電流が力率1であれば、キャパシタ電流とは位相が90度ずれているので、インダクタの電流の振幅 I_L は、次式で近似できる。

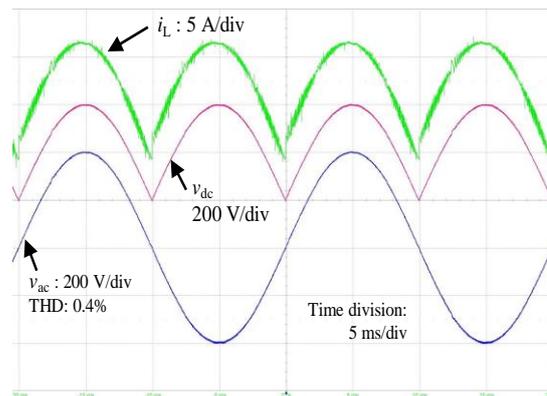


図7 HEECS インバータの各部の波形⁽¹⁾

Fig. 7 Three kinds of waveforms at 2.2 kW output of HEECS Inverter in Fig. 1⁽¹⁾

$$I_L = \text{SQRT}(I_{load}^2 + I_c^2) \quad \text{---- (1)}$$

$$I_c = \text{abs}(j\omega C V_{ac}) \quad \text{---- (2)}$$

ただし、キャパシタの静電容量を C 、折り返しインバータの出力電圧の振幅を V_{ac} と定義する。

さらに、疑似力率 pf_{pseudo} を次式で定義する。

$$Pf_{pseudo} = \text{abs}(I_c / I_L) \quad \text{----- (3)}$$

例えば、8 μ Fのフィルムキャパシタンス ($R_{ESR}=3.5m\Omega$) を選んだ場合、出力電力が1300W (at 302Vrms) の条件では、 $I_{load}=4.3$ (A)、 $I_c=0.76$ (A)となるので、 $pf_{pseudo}=0.98$ となる。

各部での導通損は、 I_L の2乗に比例するので、 C は小さいほど導通損は減少するが、電圧制御としてデッドビート制御を行っているので、 C が小さいと不安定になる傾向があるので、電流の高調波成分が増加する。

文献(7-9)では、 C は8 μ Fで固定してきたが、これを8.0 μ F, 7.5 μ F, 7.0 μ F, 6.5 μ Fと変化させて損失をVTASLM法で測定したものを図8に示す。なお、この実験の過程で、操作ミスによりスイッチングデバイス(図1のS3とS4)を破損したので、この4点のC変化による効率の測定データはスイッチングデバイスが、3.1節の測定データとは、値が少し異なっている。従って、図8をnew PCB#5での測定データと呼ぶことにする。

この図から、C変化による効率向上は、7 μ F付近でわずかに認められるが、それは測定誤差の範囲内と言える。なお、3.1節の図5では、8 μ FのCで、効率99.836%(at 1300W出力)を実測しているが、この図5と図8では使用したパワーデバイスは異なっている。

3.3 考察

2章で概説した、文献(9,10)で提案された損失最適化のアプローチに関しては、本論文ですべての【項目3】と【項目4】の組み合わせをほぼ終了した。残りの損失向

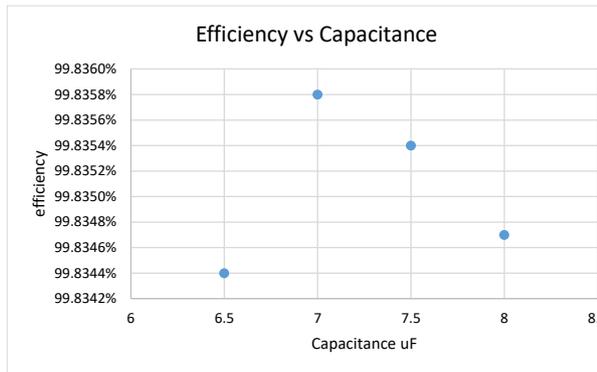


図 8 キャパシタンス変化時の最大効率 (newPCB#5)

Fig. 8 Maximum efficiency when the capacitance is changed(new PCB#5)

上の可能性は、パワーデバイスの改良によるスイッチング損と導通損の低減と考えられる。

4. まとめ

測定精度の高い電力変換器の損失測定法 (VTASLM 測定法(7)) を採用して、2 電源 HEECS インバータの損失低減手法(9,10)が提案されたので、この2つの手段によって、損失の最小化を追求した。すでに様々な最適化が検討されたので(8,9)、実証が未検討で残っている部分を検討した。

特に、本論文では、インダクタとキャパシタのパラメータを最適化することを実験的に検討した。

インダクタに関しては、巻き線抵抗、基本波鉄損、高調波損失の3つが連動していることに注目し、新しいインダクタを試作して、実測した。また、キャパシタに関しては、導通損と制御性能が損失に関連していることに注目して、各種キャパシタンスの値で損失を実測した。その結果、現状での最高効率としては、電力変換効率 $99.836 \pm 0.004\%$ (1300W 出力) が実測できた。

今後の損失最小化のためには、パワーデバイスの性能向上の進展によるところが大きいと考えられる。

なお、HEECS インバータの系統連系への応用に関しては、文献 (14,15) に詳しく、遅れや進みの力率負荷でも制御を工夫すれば安定に動作することが報告されている。

謝辞：本研究は科研費 17H06147 および寄附講座 (パワーエレクトロニクス) により助成されている。

文 献

(1) A. Kawamura, S. Nakazaki, S. Ito, S. Nagai, H. Obara, "Over 99.7% Efficiency Two Battery HEECS Inverter at 2.2kW Output and Measurement Accuracy based on Loss Breakdown", IEEJ Journal of Industry Applications, Vol.9, No.6, pp.663-673, 2020

(2) J. A. Anderson, E.J. Hanak, L. Schrittwieser, M. Guacci, W.J.G. Kolar, G. Deboy, "All-Silicon 99.35% Efficiency Three Phase Seven 3-Level

Hybrid Neutral Point Clamped Flying Capacitor Inverter", CPSS Trans. On Power Electronics and Applications, Vol.4, No.1, pp. 50-61, 2019

(3) Y. Shi, H. Li, L. Wang, Y. Zhang, "Intercell Transformer(ICT) Design Optimization and Interphase Crosstalk Mitigation of a 100-kW SiC Filter-Less Grid-Connected PV String Inverter", IEEE OJ of Power Electronics, Vol.1, pp.51-63, 2020

(4) J. Zhu, H. Kim, H. Chen, R. Erickson, D. Maksimovic, "High efficiency SiC Traction Inverter for Electric Vehicle Applications", pp. 1428-1433, APEC2018

(5) J. Rabkowski, D. Pefitsis, H. Nee, "Design Steps Towards 140-kVA SiC Inverter With an Efficiency Exceeding 99.5%", APEC2012

(6) T. Miyazaki, H. Otake, Y. Nakahara, M. Tsuruya, and K. Nakahara: "A fanless operating trans-linked interleaved 5 kW inverter using SiC MOSFETs to achieve 99% power conversion efficiency", IEEE Trans. Ind. Electron., Vol.65, Issue12, pp.9429-9437, 2018.

(7) A. Kawamura, Y. Nasu, Y. Miguchi, H. Setiadi, H. Obara, "Proposal of Virtual Transformer based Back-to-Back Asynchronous Loss Measurement using a Single Set of Measurement Instrument and Experimental Verification", IEEJ Journal of Industry Applications, Vol.11, No.1, pp. 175-184, 2022 (DOI:10.1541/ieejia.21008251)

(8) 河村、V. Pham、味口、小原、"HEECS インバータのインダクタの変化による効率改善に関する検討"、電気学会全国大会、4-053、2023年3月

(9) A. Kawamura, Y. Miguchi, H. Setiadi, H. Obara, "Survey of 99.9% Class Efficiency DC-AC Power Conversion and Technical Issues", IEEJ TEEE, Vol.18, No.1, pp.6-14, 2023 (doi.org/10.1002/tee.23728)

(10) 河村、H. Setiadi、味口、那須、小原、"高効率 HEECS インバータの損失低減に関する一考察"、電気学会半導体電力変換研究会 SPC-22-059、2022年3月

(11) 味口、那須、小原、河村、"超高効率単相系統連系インバータ (HEECS) の電流制御"、電気学会研究会 SPC-20-128、2020年

(12) R. W. Erickson, D. Maksimovic, "Chapter 13: Basic Magnetic Theory, Fundamentals of Power Electronics", pp. 491-537, 2001, Springer Link

(13) 河村、V. Pham、味口、小原、"HEECS インバータのインダクタの再製作による効率改善の実験報告"、電気学会全国大会、K507-C3、2024年3月

(14) Y. Miguchi, H. Setiadi, Y. Nasu, H. Obara, A. Kawamura, "Control Schem for Leading Power Factor operation of Single-Phase Grid-Connected Inverter Using an Unfolding Circuit", IEEE Open Journal of Power Electronics, Vol.3, pp.468-480, 2022

(15) Y. Miguchi, H. Obara, A. Kawamura, "Control Schem for Lagging Power Factor operation of Single-Phase Grid-Connected Inverter Using an Unfolding Circuit", IEEE Open Journal of Power Electronics, Vol.5, pp.145-161, 2024