

超高効率電力変換を目指した 2 つの 主回路トポロジーにおける損失の実測比較

伊藤 正悟*, 中崎 智志, 永井 栄寿, 小原 秀嶺, 河村 篤男 (横浜国立大学)

Loss Measurement of Two Different Topologies for Extremely High Efficiency Power Conversion

Shogo Ito*, Satoshi Nakazaki, Sakahisa Nagai, Hidemine Obara, Atsuo Kawamura (Yokohama National University)

1. はじめに

文献(1~2)で提案された SiC デバイスを用いた HEECS トポロジーに基づくインバータにおいて、電力変換効率 99.65%の実験データが文献(3)で公表される予定である。一般的なインバータにおける損失は、導通損とスイッチング損およびその他の損失に大別できる。導通損を減らすには、パワーデバイスを並列接続する手法が考えられるが、99%を超える変換効率の領域ではデバイスの出力静電容量 C_{oss} による損失が無視できなくなる。本論文では、電流経路のオン抵抗を減らすことのできる T 型トポロジー回路と、HEECS トポロジー回路(1-2)の直流出力運転における損失比較を行ったので報告する。

2. 回路トポロジーごとの効率

HEECS トポロジーと、T 型トポロジーの各方式による回路を、図 1 に示す。これに対し図 2 に示すような、各トポロジーの回路に同一のフィルタと負荷抵抗を接続した降圧型コンバータに対し検証を行った。各トポロジーにおいて、全てのスイッチにオン抵抗 $17\text{ m}\Omega$ の SiC-MOSFET を使用した。それぞれの MOSFET に対し、ショットキーバリアダイオードが並列接続されている。 E_1 , E_2 それぞれの電源電圧は、文献(1)によって提案された手法により決定した。また、フィルタに用いたインダクタは、アモルファス材料の鉄心を有している。出力キャパシタには、フィルムキャパシタを用いた。

図 3 は各条件下で、スイッチング周波数 f_{sw} が 20 kHz の場合における電力変換の効率マップである。ここで、入力電力 P_1 , P_2 の和と、出力電力 P_3 の割合を直流出力効率 η_{DC} とする。HEECS トポロジーと T 型トポロジーとを比較すると、測定範囲のほぼ全域において 0.01% 程度 HEECS トポロジーが高効率であった。

3. まとめ

超高効率インバータの実現を目的として、T 型トポロジー回路と HEECS トポロジー回路とを比較した。二つの方式において、直流出力運転における損失比較を、同一条件下の実験において検証した。

本研究の一部は、日本学術振興会科学研究費補助金基盤

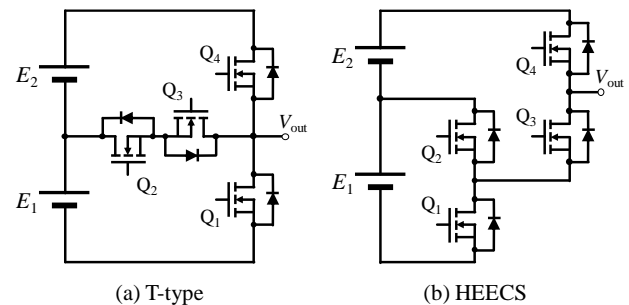


Fig. 1. Circuit topologies.

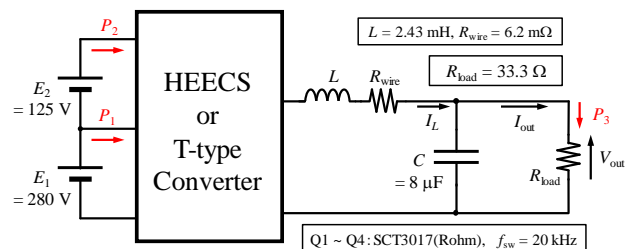


Fig. 2. Experimental circuit diagram.

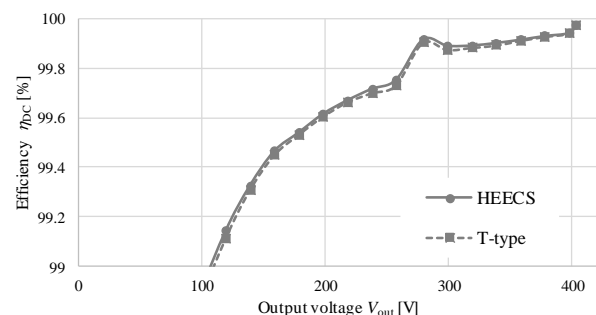


Fig. 3. Experimental results of efficiency.

研究(S)(課題番号: 17H06147)によって行われたことを記すと共に、関係者各位に謝意を表す。

文献

- (1) 河村, 小原:「部分電力変換の原理に基づく高効率インバータ実現の理学的追及」, 平成 30 年電気学会全国大会, 2018.
- (2) A. Kawamura et al, "A Very High Efficiency Circuit Topology for a few kW Inverter based on Partial Conversion Principle", *IEEE ECCE-2018*, pp.1308-1313, 2018.
- (3) 中崎, 伊藤, 永井, 小原, 河村:「LC フィルタの検討に基づく超高効率インバータの変換効率 99.6%の実現」, 平成 31 年電気学会全国大会, 2019.